

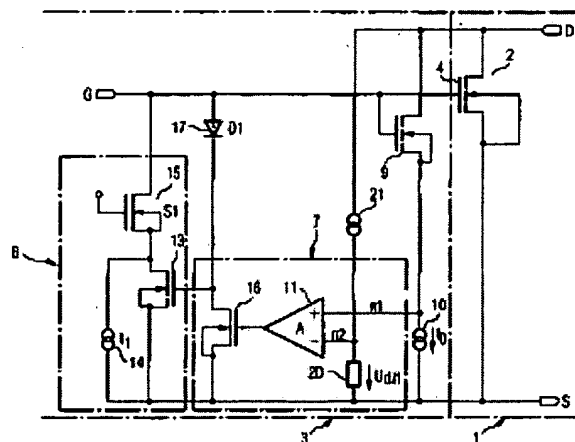
Switching edge shaping circuit for conduction current circuit

Patent number: DE19848829
Publication date: 2000-05-04
Inventor: BERTELE MARTIN (DE); SANDER RAINALD (DE); KLOTZ FRANK (DE)
Applicant: SIEMENS AG (DE)
Classification:
- **International:** H03K17/16; H03K17/16; (IPC1-7): H03K6/04; H03K17/16; H03K17/687
- **European:** H03K17/16B4B
Application number: DE1981048829 19981022
Priority number(s): DE1981048829 19981022

Report a data error here

Abstract of DE19848829

A switching edge shaping arrangement cased on a conduction current circuit element e.g. a FET arrangement (2) with control electrode (4) and having a conduction path between an anode (18) and a cathode (19) gives improved electromagnetic compatibility (EMC) through coupling an ammeter (6) to the conduction current circuit to enable monitoring of a given threshold current strength, at which time a corresponding signal is supplied to the control circuit.



Data supplied from the **esp@cenet** database - Worldwide



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 48 829 A 1**

⑤① Int. Cl.⁷:
H 03 K 6/04
H 03 K 17/16
H 03 K 17/687

⑦① Aktenzeichen: 198 48 829.7
⑦② Anmeldetag: 22. 10. 1998
⑦④ Offenlegungstag: 4. 5. 2000

DE 198 48 829 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Bertele, Martin, Dipl.-Ing., 81379 München, DE;
Sander, Rainald, Dipl.-Phys., 81543 München, DE;
Klotz, Frank, Dr., 81735 München, DE

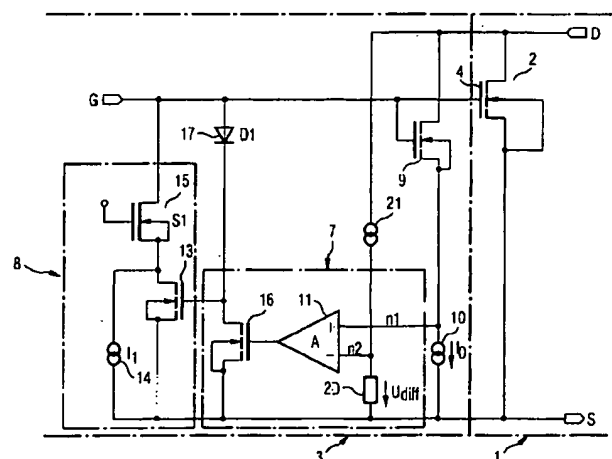
⑤⑤ Entgegenhaltungen:
DE 41 31 783 C1
DE 69 123 23 4T2
US 52 83 707
US 50 79 456

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Anordnung zur Formung von Schaltflanken in einem Leitungsstromkreis

⑤⑦ Beschrieben wird eine Anordnung zur Formung von Schaltflanken in einem Leitungsstromkreis (1), wobei der Leitungsstromkreis (1) ein Schaltungselement (2) mit einer Steuerelektrode (4) und einer Leitungsstrecke zwischen einer Anode (18) und einer Kathode (19) aufweist, wobei das Schaltungselement (2) den Stromfluß in dem Leitungsstromkreis (1) regelt und eine Steuerschaltung (3) zur Ansteuerung der Steuerelektrode (4) durch Ladungszufluß zur Steuerelektrode (4) oder Ladungsabfluß aus Steuerelektrode (4) über leitende Zuführungen (5) vorgesehen ist.
An den Leitungsstromkreis (1) ist eine Strommeßeinrichtung (6) angekoppelt ist und diese weist Vergleichsmittel (7) auf, die beim Erreichen einer Schwellstromstärke ein Signal liefern. In der Steuerschaltung (3) sind Regelungsmittel (8) vorgesehen, die mit den Vergleichsmitteln (7) verbunden sind und bei Eingang eines Signals den Widerstand in den Zuführungen (5) zur Steuerelektrode (4) verändern.



DE 198 48 829 A 1



Die vorliegende Erfindung betrifft eine Anordnung zur Formung von Schaltflanken in einem Leitungsstromkreis, insbesondere dabei in Leitungsstromkreisen, die als Schaltungselement einen Leistungsschalter aufweisen. Wird in einem Leitungsstromkreis der Stromfluß durch ein Schaltungselement geregelt, so können entstehende Spannungspulse zu elektromagnetischen Störungen (EMV-Störungen) im Leitungsstromkreis führen. Diese Gefahr besteht insbesondere dann, wenn durch das Schaltungselement ein komplettes An- bzw. Abschalten des Leitungsstromkreises bewirkt werden soll. Die EMV-Störungen entstehen dabei insbesondere durch diejenigen Bereiche der Stromverläufe, die eine besonders abrupte relative Abnahme oder Zunahme des Stromflusses aufweisen. So ist beim Abschalten speziell derjenige Bereich kritisch, in dem der Stromfluß den Wert Null erreicht. Beim Einschalten ist die Stromzunahme von Null auf einen von Null verschiedenen Wert als besonders kritisch anzusehen.

Aus dem Stand der Technik ist es aus US 5,283,707 bekannt, das Schaltungselement eines Leitungsstromkreises durch eine Steuerschaltung anzusteuern, die für das Einschalten bzw. Abschalten jeweils eine bestimmte Zeitkonstante aufweist. Der Vorgang des Einschaltens bzw. Abschaltens kann somit verlängert und ein auftretender Störspannungspuls damit verringert werden. Die Druckschrift zum Stand der Technik gibt jedoch keine Lösung für die Problematik, wie die Nulldurchgänge des Stromflusses im Leitungsstromkreis im Hinblick auf eine unerwünschte Erzeugung von EMV-Störungen zu behandeln sind. Außerdem wird bei der Lehre dieses Dokumentes der gesamte Ein- bzw. Ausschaltvorgang beeinflusst, was beispielsweise eine kurze Schaltdauer kaum mehr ermöglicht.

Aufgabe der vorliegenden Erfindung ist es daher, eine Anordnung bereitzustellen, die durch die Formung von Schaltflanken eine verbesserte Möglichkeit zur Verringerung von elektromagnetischen Störungen in Leitungsstromkreisen bereitstellt.

Diese Aufgabe wird gelöst durch die Merkmale des vorliegenden Anspruchs 1. Es wird ein Schaltungselement im Leitungsstromkreis verwendet, das über eine Steuerelektrode angesteuert wird und eine Leitungsstrecke zwischen einer Anode und einer Kathode aufweist, durch die der Strom des Leitungsstromkreises fließt. Beispielsweise können hierfür FET-Anordnungen oder IGBT-Anordnungen sowie evtl. sonstige Bipolartransistoren mit einer Steuerelektrode vorgesehen werden. Die Regelung des Stromflusses im Leitungsstromkreis erfolgt über eine Steuerschaltung, die den Ladungszufluß zur Steuerelektrode bzw. den Ladungsabfluß aus der Steuerelektrode über leitende Zuführungen steuert.

Durch die Ankopplung einer Strommeßeinrichtung an den Leitungsstromkreis können die jeweiligen Stromverhältnisse im Leitungsstromkreis erfaßt und überwacht werden. Dabei kann vor allem das Erreichen einer bestimmten Schwellstromstärke überwacht werden, wobei Vergleichsmittel vorgesehen werden können, die bei Erreichen dieser Schwellstromstärke ein entsprechendes Signal liefern. Dieses Signal kann an die Steuerschaltung weitergeleitet werden, wobei durch Regelungsmittel die Ansteuerung der Steuerelektrode angepaßt werden kann. So kann insbesondere bei Eingang eines Signals der Widerstand in den Zuführungen zur Steuerelektrode verändert werden.

Durch eine Anordnung nach dem vorliegenden Anspruch 1 kann somit variabel auf die Verhältnisse im Leitungsstromkreis reagiert werden und ggf. eine Optimierung der Ansteuerung des Schaltelementes in den kritischen Berei-

chen vorgenommen werden. Das Verhalten der Schaltung bleibt somit in weiten Bereichen unbeeinflusst. Eine Anpassung der Ansteuerung und damit ein Eingriff in das Schaltverhalten des Schaltungselements erfolgt somit lediglich in den tatsächlich kritischen Bereichen. In diesen Bereichen kann bevorzugt der Widerstand in den Zuführungen gezielt größer gewählt werden als im sonstigen Ansteuerungsbetrieb. So kann beim Einschalten des Leitungsstromkreises in den Zuführungen zunächst ein größerer Widerstand gewählt werden, der dann abnimmt. Beim Ausschalten dagegen wird der Widerstand bevorzugt zunächst klein gehalten und gegen Ende des Ausschaltvorgangs erhöht.

Die Strommeßeinrichtung kann prinzipiell durch unterschiedlichste Anordnungen realisiert werden. Ein Beispiel einer Strommeßeinrichtung ist in US 5,079,456 in Form einer Sense-FET-Anordnung beschrieben, in der ein Referenzstrom einen Hinweis über den Leitungsstrom liefert. Im Fall der vorliegenden Erfindung erfolgt die Strommessung bevorzugt durch eine Bestimmung der Spannung zwischen Steuerelektrode und Kathode. Da die Abhängigkeit des Stroms im Leitungsstromkreis von dieser Spannung durch entsprechende Kennlinienverläufe bekannt ist, gibt diese Spannung einen direkten Hinweis auf den im Leitungsstromkreis fließenden Strom. Es kann somit das Erreichen eines bestimmten Spannungswertes U_{ref} zwischen Steuerelektrode und Kathode überwacht werden, beispielsweise das Erreichen der Einsatzspannung (Threshold-Spannung) bzw. eines Wertes knapp über der Einsatzspannung.

Als Regelungsmittel kann eine Reihenschaltung einer steuerbaren Widerstandsanordnung und eines Schalters vorgesehen sein, wobei die Reihenschaltung an einer Seite mit der leitenden Zuführung zur Steuerelektrode verbunden ist und auf der anderen Seite mit der Kathode. Diese Reihenschaltung liefert damit einen Leitungsweg zwischen Steuerelektrode und Kathode, der für eine Entladung der Steuerelektrode genutzt werden kann. Wird der Schalter geschlossen, so wird die Steuerelektrode über die steuerbare Widerstandsanordnung entladen. Der Entladevorgang wird dabei wesentlich durch den Widerstand dieser Widerstandsanordnung bestimmt. Verändert man diesen Widerstand in geeigneter Weise, wie hier geregelt durch die Signale des Vergleichsmittels, so kann die Entladung der Steuerelektrode über die Reihenschaltung und damit die Dauer des An- oder Abschaltvorgangs gesteuert werden.

Die Spannungsmeßeinrichtung, die zur Ermittlung der Spannung U_{ref} und einer damit verbundenen Stromstärke dient, umfaßt ein Vergleichsmittel. In einer bevorzugten Ausführungsform der Erfindung wird beispielsweise ein Eingang des Vergleichsmittels mit der Kathode verbunden, der andere Eingang mit der Steuerelektrode. Vor einen der Eingänge wird zwischen die Elektrode und das Vergleichsmittel noch eine Spannungsquelle geschaltet, die gerade die Spannung U_{ref} liefert. Wird nun zwischen Steuerelektrode und Kathode der Wert für die Schwellspannung erreicht, so liefert das Vergleichsmittel ein Signal, das an das Regelungsmittel weitergeleitet werden kann.

Aufgrund von Fertigungstoleranzen oder unterschiedlichen Betriebstemperaturen können jedoch die Einsatzspannungen der Schaltungselemente gleichen Typs leicht voneinander abweichen. Um dieser Tatsache Rechnung zu tragen, kann vorgesehen werden, daß eine zweite Spannungsquelle für U_{tol} zur Lieferung einer Toleranzausgleichsspannung vor den zweiten Eingang geschaltet wird. Diese ermöglicht eine Nachregelung der Vergleichsschaltung. Die Spannungsquelle liefert dabei eine Spannung, durch die die Toleranzen ausgeglichen werden.

Die Differenzspannung U_{diff} zwischen U_{tol} und dem gewünschten Wert für U_{ref} kann dabei durch eine Spannungs-



teilerschaltung eingestellt werden. Die Spannungsquelle für U_{diff} ist somit also Teil einer Spannungsteilerschaltung, d. h., es wird der entsprechende Wert der Differenzspannung U_{diff} aus einem Spannungsteiler abgegriffen.

Als Spannungsquelle für U_{tol} kann eine FET-Anordnung dienen, die in Reihe mit einem Widerstandselement liegt. Diese Reihenschaltung ist der Leitungsstrecke zwischen Anode und Kathode des Schaltungselements parallel geschaltet. Die FET-Anordnung wird dabei in analoger Weise zum Schaltungselement aufgebaut. Wird beispielsweise für das Schaltungselement eine Anordnung aus vielen Zellen mit einzelnen FET-Elementen gewählt, so wird auch für die FET-Anordnung, die als Spannungsquelle für U_{ref} dient, eine solche Zellanordnung gewählt, wobei die Zahl der Zellen wesentlich geringer sein wird. Für das Widerstandselement wird bevorzugt eine Stromquelle gewählt, die den Strom durch die FET-Anordnung, die als Spannungsquelle für U_{tol} dient, so einstellt, daß an der Gate-Drain-Strecke der FET-Anordnung gerade die gewünschte Schwellspannung anliegt. Es kann somit ein Vergleich der Gate-Drain-Spannung der FET-Anordnung, die als Spannungsquelle dient, mit der Spannung zwischen Steuerelektrode und Kathode des Schaltungselements erfolgen. Die Stromquelle kann beispielsweise durch einen Depletion-MOSFET verwirklicht werden.

Auch als Vergleichsmittel kann prinzipiell jede entsprechend angepaßte Bauform einer Vergleichsanordnung Anwendung finden. Bevorzugt wird dabei eine Verstärkeranordnung als Vergleichsmittel vorgesehen, wobei ein Eingang des Verstärkers mit dem vorher genannten Widerstandselement, d. h. speziell der Stromquelle, verbunden wird.

Der Ausgang des Verstärkers kann direkt an das Regelungsmittel weitergeleitet werden. Wird jedoch die Schaltungsanordnung als High-Side-Schalter verwendet, so kann es sinnvoll sein, daß der Ausgang des Verstärkers mit der Steuerelektrode eines FET verbunden wird. Das Ausgangssignal des Verstärkers wird dabei in das Leitungsverhalten der Source-Drain-Strecke des FET umgesetzt. Diese Source-Drain-Strecke kann dann wiederum mit dem Regelungsmittel der Steuerschaltung verbunden werden. Wird diese Maßnahme im Fall eines High-Side-Schalters nicht vorgesehen, so kann es dazu kommen, daß der Verstärker ausgang nur unzureichende Ausgangsspannungen liefert, die für eine Ansteuerung des nachfolgenden Regelungsmittels nicht ausreichen.

Im Regelungsmittel kann als Schalter ein FET, bei High-Side-Schaltern insbesondere ein Depletion-MOSFET vorgesehen sein. Als Widerstandselement kann ebenfalls ein FET vorgesehen sein, wobei dessen Source-Drain-Strecke in die leitende Zuführung zur Steuerelektrode des Schaltungselements geschaltet wird, und die Steuerelektrode des FET mit dem Vergleichsmittel verbunden wird. Durch eine Beeinflussung des Leitungsverhaltens des FET kann somit direkt der Ladungsfluß zu und von der Steuerelektrode des Schaltungselements beeinflusst werden. Da diese Beeinflussung in Abhängigkeit von Signalen des Vergleichsmittels erfolgt, die durch eine Schwellspannung am Schaltungselement und damit durch eine Schwellstromstärke im Leistungskreis ausgelöst werden, erfolgt eine Regulierung der Ansteuerung des Schaltungselements in Abhängigkeit von der Stromstärke im Leistungsstromkreis.

Die Beeinflussung der leitenden Zuführung kann dabei allein durch das Leitungsverhalten der Source-Drain-Strecke des FET erfolgen. Es kann jedoch auch vorgesehen sein, daß parallel zum FET noch weitere Bauelemente, speziell Widerstandselemente angeordnet werden. Wird der FET in diesem Fall so gesteuert, daß die Leitfähigkeit seiner Source-

Drain-Strecke stark abnimmt, so wird das Leitungsverhalten der leitenden Zuführung nunmehr hauptsächlich durch das parallel angeordnete Widerstandselement bestimmt. Dieses Widerstandselement kann dabei ein ohmscher Widerstand sein. Alternativ kann das Widerstandselement durch eine Stromquelle gebildet werden, insbesondere durch einen Depletion-MOSFET. Der als Regelungsmittel wirkende FET kann dabei als Enhancement-MOSFET oder auch als Depletion-MOSFET gewählt werden.

Als Regelungsmittel sind jedoch auch prinzipiell andere Anordnungen denkbar, die geeignet sind, das Leitungsverhalten der leitenden Zuführung zur Steuerelektrode des Schaltungselements geeignet zu beeinflussen.

Die gesamte Schaltung kann als monolithisch integrierte Schaltung aufgebaut werden, da sich alle Elemente der Schaltung problemlos in einer solchen integrierten Schaltung verwirklichen lassen.

Eine spezielle Ausführungsform der vorliegenden Erfindung wird anhand der Fig. 1 und 2 sowie der zugehörigen nachfolgenden Beschreibung erläutert.

Es zeigen:

Fig. 1 schematische Darstellung der Schaltung aus Leistungsstromkreis und Steuerschaltung mit Strommesser, der den Laststrom während des Schaltvorganges indirekt über die Spannung zwischen Steuerelektrode und Kathode erfaßt, Vergleichsmittel und Regelungsmittel.

Fig. 2 schematische Darstellung der Vergleichsanordnung Spannungsmessers mit Spannungsquellen für U_{tol} und U_{diff}

Fig. 3 Darstellung der Schaltung mit FET-Anordnung als Spannungsquelle für U_{tol} und FET-Anordnung als Widerstandselement im Regelungsmittel

Fig. 4 Darstellung der Schaltung für eine Verwendung als High-Side-Schalter

Fig. 5 Darstellung der Schaltung mit FET-Anordnung als Schalter im Regelungsmittel, das zur Gate-Entladung dient, und Spannungsteiler zur Erzeugung von U_{diff}

Fig. 6 Darstellung des Stromverlaufes beim Abschaltvorgang im Leistungsstromkreis

A: ohne erfindungsgemäße Anordnung

B: durch erfindungsgemäße Anordnung optimierter Verlauf.

Zunächst wird eine Schaltung nach Fig. 1 betrachtet. Im vorliegenden Beispiel ist ein Ausschnitt eines Leistungsstromkreises 1 dargestellt, der durch einen Leistungs-MOSFET-Transistor 2 gesteuert wird. Der Leistungs-MOSFET 2 wird insbesondere dazu verwendet, den Stromfluß im Leistungsstromkreis 1 an bzw. abzuschalten. Die als Steuerelektrode dienende Gateelektrode 4 des Leistungs-MOSFET 2 ist mit einer Steuerschaltung 3 verbunden. Die Verbindung erfolgt über leitende Zuführungen 5.

Parallel zur Gate-Source-Strecke des Leistungs-MOSFET 2 ist eine Spannungsmeßschaltung 6 mit einem Vergleichsmittel 7 angeordnet, die dazu dient, das Erreichen einer bestimmten Schwellspannung zwischen dem Gate 4 und der Source 19 zu erfassen. Diese Schwellspannung ergibt einen Hinweis auf das Erreichen einer zugehörigen Schwellstromstärke im Leistungsstromkreis 1, so daß die Spannungsmeßschaltung 6 als Strommeßschaltung für den Leistungsstromkreis 1 verwendet werden kann.

Die Spannungsmeßschaltung 6 mit dem Vergleichsmittel 7 besteht dabei aus einer Verstärkerschaltung 11, wobei der eine Eingang mit dem Gate 4 verbunden ist und der andere Eingang mit einer Spannungsquelle 9 für die Referenzspannung U_{ref} , welche wiederum mit der Source 19 verbunden ist. Es kann nun vorgesehen werden, daß eine zweite Spannungsquelle 12 vorgesehen wird, die eine Spannung U_{tol} liefert und dadurch Toleranzen in der Einsatzspannung des Leistungs-FET 2 ausgleicht. In Fig. 2 ist diese Spannungsquelle 9 zwischen Verstärker 11 und Gate 4 geschaltet, die



Spannungsquelle 12 für U_{diff} zur Einstellung des Arbeitspunktes wurde zwischen Verstärker 11 und Source 19 angeordnet.

Der Ausgang der Verstärkerschaltung 11 liefert Signale an das Regelungsmittel 8, das den Gate-Entladepfad des Leistungs-MOSFET 2 darstellt und das im wesentlichen einen Schalter 15 und eine steuerbare Widerstandsanordnung 13 aufweist. Diese beiden Elemente 13, 15 liegen in Reihe und sind auf der einen Seite mit der leitenden Zuführung 5 und auf der anderen Seite mit der Source 19 verbunden.

Die konkrete Verbindung der Verstärkeranordnung 11 mit dem Regelungsmittel 8 hängt nun davon ab, wie dieses Regelungsmittel 8 konkret verwirklicht wird. Im Fall der Fig. 3 ist beispielsweise die Widerstandsanordnung 13 als FET-Anordnung ausgebildet. Hierbei wird der Ausgang der Verstärkeranordnung 11 mit dem Gate des FET 13 verbunden.

Im Falle der Fig. 4 ist die Verwendung der Schaltung als High-Side-Schalter dargestellt. Hierbei wird ein weiterer FET 16 vor den Ausgang des Verstärkers 11 geschaltet, wobei der Verstärker 11 mit dessen Gate verbunden ist. Der Ausgang des Verstärkers 11 ist mit der Gateelektrode des MOSFET 16 verbunden. Der Sourceanschluß des MOSFET 16 ist mit dem Sourceanschluß des Leistungs-MOSFET 2 verbunden, der Drainanschluß des MOSFET 16 ist über eine Diode 17 in Sperrichtung mit der Gateelektrode des Leistungs-MOSFET 2 verbunden. Der MOSFET 16 ist dabei als Enhancement-MOSFET vorgesehen. Weiterhin ist der Drainanschluß des MOSFET 16 mit der Gateelektrode des MOSFET 13 verbunden. Die Sourceelektrode dieses MOSFET 13 ist ebenfalls mit der Sourceelektrode des Leistungs-MOSFET 2 verbunden. Die Drainelektrode des MOSFET 13 ist über den Schalter 15 mit der Gateelektrode des Leistungs-MOSFET 2 verbunden. Über die leitende Zuführung 5, die mit der Gateelektrode 4 des Leistungs-MOSFET 2 verbunden ist, erfolgt die Zuführung von Ladungen zur Gateelektrode 4. Nachdem die Diode 10 von G zur Gateelektrode des MOSFET 13 hin in Durchlaßrichtung geschaltet ist, erfolgt durch die Zuführung 5 auch eine Zuführung von Ladungen zur Gateelektrode des MOSFET 13. Der MOSFET 13 kann als Enhancement-MOSFET ausgebildet sein. In diesem Fall ist ihm ein Widerstand 14, beispielsweise ein ohmscher Widerstand oder eine Stromquelle, parallel geschaltet. Die Stromquelle 14 kann dabei durch einen Depletion-MOSFET verwirklicht werden. Der MOSFET 13 kann alternativ als Depletion-MOSFET ausgebildet sein. In diesem Fall kann auf die Stromquelle 14 verzichtet werden.

Es werden also durch die vorliegende Schaltung die Ausgangssignale des Verstärkers 11 in ein Leitungsverhalten des FET 16 umgesetzt, durch den das Gate des FET 13 auf das Potential der Source 19 geschaltet werden kann. Damit wird eine ausreichende Ansteuerung des Regelungsmittels 8 auch für den Fall eines High-Side-Schalters gewährleistet.

Die Spannungsquelle für U_{ol} kann, wie in Fig. 3 dargestellt, als MOSFET 9 verwirklicht werden, der in einer Reihenschaltung 6 mit einer Stromquelle 10 liegt, wobei die Reihenschaltung dem Leistungs-MOSFET 2 parallel geschaltet ist. Der Drainanschluß des MOSFET 9 ist dabei mit dem Drainanschluß 18 des Leistungs-MOSFET 2 verbunden, der Sourceanschluß des MOSFET 9 mit der Stromquelle 10, die wiederum mit dem Sourceanschluß 19 des Leistungs-MOSFET 2 verbunden ist. Der Gateanschluß des MOSFET 9 ist mit dem Gateanschluß des Leistungs-MOSFET 2 verbunden.

Als Leistungs-MOSFET 2 wird dabei in der Regel nicht ein einzelner MOSFET verwendet, sondern eine gesamte Anordnung aus vielen, z. B. mehreren tausend bis einigen hunderttausend Zellen, die jeweils einen einzelnen MOSFET beinhalten. Auch für den MOSFET 9 kann eine Anord-

nung aus mehreren Zellen, die jeweils einen einzelnen MOSFET beinhalten, verwendet werden. Typischerweise werden hierfür Anordnungen mit geringerer Zellenzahl, z. B. im Bereich von 10 bis 100 Zellen, verwendet. Durch die Dimensionierung der Reihenschaltung aus MOSFET 9 und Stromquelle 10 kann erreicht werden, daß in der Reihenschaltung 6 bei Erreichen einer Schwellstromstärke I_S im Leitungsstromkreis dieselbe Stromdichte bezogen auf die Kanalweite in der MOSFET-Anordnung 9 vorliegt wie im Leistungs-MOSFET 2. Die Stromquelle sorgt dabei dafür, daß durch den MOSFET 9 ein Strom I_0 fließt, dessen Stromdichte der gewünschten Schwellstromdichte im Leitungsstromkreis entspricht. Der Strom I_0 wird dabei so eingestellt, daß an der Gate-Source-Strecke des MOSFET 9 die Referenzspannung U_{ref} abfällt, die mit der entsprechenden Gate-Source-Spannung des Leistungs-FET 2 verglichen wird. In diesem Fall wäre $U_{\text{diff}} = 0$. Alternativ kann dabei der Strom I_0 so klein eingestellt werden, daß an der Gate-Source-Strecke des MOSFET 9 gerade die Einsatzspannung anliegt. Dann ist $U_{\text{diff}} > 0$.

Der Stromquelle 10 ist eine Verstärkerschaltung 7 als Vergleichsmittel parallel geschaltet. Mit ihr kann überwacht werden, ob im Leitungsstromkreis 1 eine gewisse Schwellstromstärke erreicht wird, bei der an der Gate-Source-Strecke gerade die Einsatzspannung abfällt. Dazu werden die beiden Eingänge eines Verstärkers 11 der Stromquelle 10 parallel geschaltet. Der erste Eingang N1 wird dabei zwischen die Stromquelle 10 und den MOSFET 9 geschaltet, der zweite Eingang N2 wird mit dem Sourceanschluß des Leistungs-MOSFET 2 verbunden. Es kann dabei vorgesehen werden, daß vor den Eingang N2, also zwischen Verstärker und Stromquelle, noch eine Spannungsquelle 12 geschaltet wird. Diese liefert eine Differenzspannung U_{diff} , die dazu dient, den genauen Punkt für das Einsetzen des Verstärkers 11 einzustellen. Die Schaltung für U_{ol} dient auch dazu, um Fertigungstoleranzen der FET-Anordnungen auszugleichen. $U_{\text{diff}} > 0$ ist im allgemeinen nötig wegen der Verwirklichung der Stromquelle 10 als einfach zu implementierende reale Stromquelle. Wenn am Gate von MOSFET 9 und Leistungs-FET gilt $G = S = 0$ V, dann ist immer noch ein Strom I_0 durch die Stromquelle 10 vorhanden und es liegt an der Source-Drain-Strecke des MOSFET 9 noch die Einsatzspannung an. Damit müßte jedoch an der Stromquelle 10 eine negative Spannung anliegen. Dieses Verhalten tritt in der Realität jedoch normalerweise nicht auf. Es verbleibt im Arbeitsbereich der Schaltung, d. h. etwa beim Strom I_S durch den Leistungs-MOSFET 2, eine positive Spannung an der Stromquelle 10, die durch die Differenzspannung U_{diff} ausgeglichen wird.

Die Spannungsquelle 12 kann durch eine Spannungsteilerschaltung verwirklicht werden. Dabei kann dem Leistungs-MOSFET 2 eine Reihenschaltung einer Stromquelle und eines Widerstandselementes parallel geschaltet werden, wie in Fig. 5 gezeigt wird. Die Spannung U_{diff} kann dann am Widerstandselement abgegriffen werden.

Es wird nun für die Schaltung nach Fig. 4 der Fall des Abschaltens des Leitungsstromkreises 1 betrachtet. Der Leistungs-MOSFET 2 befindet sich zunächst im leitenden Zustand. Hierzu wurden vorher von G aus über die Zuführung 5 Ladungsträger auf die Gateelektrode 4 des Leistungs-MOSFET 2 aufgebracht. Gleichzeitig wurde über die Diode 17 die Gateelektrode des MOSFET 13 geladen und somit auch der MOSFET 13 in leitenden Zustand versetzt. Weiterhin wurde auch der MOSFET 9 in der Reihenschaltung 6 über die Zuführung 5 leitend geschaltet. In der Reihenschaltung 6 fließt damit ein durch die Stromquelle 10 bestimmter Strom I_0 , der so eingestellt ist, daß an der Gate-Source-Strecke die Einsatzspannung des MOSFET 9 als U_{ol} abfällt.



Der Schalter 15 ist im Leitungszustand des Leitungsstromkreises geöffnet. Als Schalter 15 kann hier beispielhaft ein Depletion-MOSFET verwendet werden.

Soll nun der Leitungsstromkreis 1 abgeschaltet werden, so wird der Schalter 15 geschlossen. Damit fließt die Ladung von der Gateelektrode 4 des Leistungstransistors 2 über die leitende Verbindung 5, den geschlossenen Schalter 15 und den leitend geschalteten Transistor 13 ab. Die Ladung der Gateelektrode des MOSFET 13 kann jedoch noch nicht abfließen, da die Diode 17 in Bezug auf diese Gateelektrode in Sperrichtung geschaltet ist. Ein Abfließen der Ladung der Gateelektrode des MOSFET 13 über den MOSFET 16 ist ebenfalls nicht möglich, da die Verstärkeranordnung 7 so dimensioniert ist, daß sie im Leistungsfall des Leitungsstromkreises 1 den MOSFET 16 in Sperrzustand schaltet. Somit erfolgt zunächst ein ungehindertes Abfließen der Ladung von der Gateelektrode 4 des Leistungs-MOSFET 2. Mit Abnehmen der Ladung der Gateelektrode 4 nimmt der Stromfluß durch den Leistungs-MOSFET 2 ab. Die Gate-Source-Spannung am Leistungs-MOSFET 2 verringert sich und nähert sich dem Wert für U_{ref} aus Fig. 1 ($U_{ref} = U_{dif} + U_{00}$). Der Leitungsstromkreis 1 wird damit abgeschaltet.

Erreicht nun die Gate-Source-Spannung am Leistungs-MOSFET 2 die Referenzspannung U_{ref} bzw. die Spannung am Eingang des Verstärkers 11 den Wert für U_{dif} , so setzt der Verstärker 11 ein und schaltet den MOSFET 16 leitend. Damit erfolgt ein Abfließen der Ladung von der Gateelektrode des MOSFET 13. Dieser MOSFET 13 wird damit in Sperrzustand versetzt. Ein weiteres Abfließen der Ladung vom Gate 4 des Leistungs-MOSFET 2 über den MOSFET 13 ist damit nicht mehr möglich. Somit erfolgt ab diesem Zeitpunkt das Abfließen der Ladung über die Stromquelle 14, die als Widerstandselement wirkt. Damit wird das Abfließen der Ladung vom Gate 4 ab diesem Zeitpunkt verzögert. Folge ist eine Abrundung der Schaltflanke des Stromflusses im Leitungsstromkreis 1 ab dem Erreichen einer gewissen Schwellstromstärke. Man erreicht damit, daß bis zum Erreichen dieser Schwellstromstärke ein relativ schnelles Abklingen des Stromflusses im Leitungsstromkreis 1 erfolgt, ab dem Erreichen der Schwellstromstärke jedoch ein verzögertes Abklingen erzielt werden kann. Eine abrupte Abnahme des Stromflusses im Leitungsstromkreis 1 auf den Wert 0 wird damit verhindert. Die Erzeugung von EMV-Störungen kann somit weitgehend verhindert werden.

Wird, wie bereits erwähnt, der MOSFET 13 als Depletion-MOSFET gewählt, so beeinflusst die Leitfähigkeit seiner Source-Drain-Strecke direkt die Leitfähigkeit in der leitenden Verbindung 5. Für den ersten Zeitraum des Abschaltens wird der MOSFET 13 in gut leitendem Zustand gehalten. Ab Erreichen der Schwellstromstärke wird der MOSFET 13 durch die Verstärkerschaltung 7 in einen schlechter leitenden Zustand, typischerweise mit einer Gate-Source-Spannung von 0 V, versetzt. Damit nimmt der Widerstand in der leitenden Verbindung 5 zu, wodurch der Ladungsabfluß vom Gate 4 gehemmt wird. Folge ist wiederum ein verzögertes Abklingen der Stromstärke im Leitungsstromkreis 1.

In Fig. 2 sind die Verläufe des Stromflusses im Leitungsstromkreis 1 für ein normales Abschaltverhalten sowie für ein Abschalten mit Hilfe der erfindungsgemäßen Anordnung dargestellt. Es wird dabei deutlich, daß weitgehend ein identischer Verlauf für die Abnahme des Stromflusses vorliegt. Lediglich ab Erreichen einer Schwellstromstärke IS erfolgt eine Optimierung der Schaltflanke durch ein verzögertes Abklingen des Stromflusses kurz vor Erreichen des Wertes $I = 0$. Ein abruptes Abklingen des Stromflusses im Bereich von $I = 0$ wird damit verhindert und somit werden EMV-Störungen bei gleichbleibender Flankensteilheit verringert.

Patentansprüche

1. Anordnung zur Formung von Schaltflanken in einem Leitungsstromkreis (1), wobei der Leitungsstromkreis (1) ein Schaltungselement (2) mit einer Steuerelektrode (4) und einer Leitungsstrecke zwischen einer Anode (18) und einer Kathode (19) aufweist, wobei das Schaltungselement (2) den Stromfluß in dem Leitungsstromkreis (1) regelt und eine Steuerschaltung (3) zu Ansteuerung der Steuerelektrode (4) durch Ladungszufluß zur Steuerelektrode (4) oder Ladungsabfluß aus Steuerelektrode (4) über leitende Zuführungen (5) vorgesehen ist, **dadurch gekennzeichnet**, daß an den Leitungsstromkreis (1) eine Strommeßeinrichtung (6) angekoppelt ist, die Vergleichsmittel (7) aufweist, die beim Erreichen einer Schwellstromstärke ein Signal liefern, und in der Steuerschaltung (3) Regelungsmittel (8) vorgesehen sind, die mit den Vergleichsmitteln (7) verbunden sind und bei Eingang eines Signals den Widerstand in den Zuführungen (5) zur Steuerelektrode (4) verändern.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Schaltungselement (2) als Bipolartransistor-Anordnung ausgebildet ist.
3. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Schaltungselement (2) als FET-Anordnung ausgebildet ist.
4. Anordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Strommeßeinrichtung (6) als Einrichtung zur Messung der Spannung zwischen Steuerelektrode (4) und Kathode (19) ausgebildet ist und Vergleichsmittel (7) aufweist, die bei Erreichen einer Schwellspannung zwischen Steuerelektrode (4) und Kathode (19) ein Signal liefern.
5. Anordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß als Regelungsmittel (8) eine Reihenschaltung einer steuerbaren Widerstandsanordnung (13, 14) und eines Schalters (15) vorgesehen ist, wobei die Reihenschaltung mit der leitenden Zuführung (5) und der Kathode (19) verbunden ist.
6. Anordnung nach einem der Ansprüche 4 bis 5, dadurch gekennzeichnet, daß ein Eingang des Vergleichsmittels (7) mit der Kathode (19) verbunden ist, der andere Eingang des Vergleichsmittels (7) mit der Steuerelektrode (4) verbunden ist, wobei vor einen der Eingänge eine Spannungsquelle (9) zwischen die Elektrode (4, 19) und Vergleichsmittel (7) geschaltet ist und die Spannungsquelle (9) eine Spannung liefert, die der Schwellspannung zwischen Steuerelektrode (4) und Kathode (19) entspricht.
7. Anordnung nach Anspruch 6, dadurch gekennzeichnet, daß als Spannungsquelle eine FET-Anordnung (9) dient, die in Reihe mit einem Widerstandselement (10) liegt, wobei diese Reihenschaltung der Leitungsstrecke des Schaltungselements (2) parallel geschaltet ist.
8. Anordnung nach Anspruch 6, dadurch gekennzeichnet, daß das Widerstandselement (10) als Stromquelle ausgebildet ist.
9. Anordnung nach einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß eine Verstärkeranordnung (11) als Vergleichsmittel (7) vorgesehen ist, wobei die Eingänge des Verstärkers (11) dem Widerstandselement (10) parallel geschaltet sind, ein Eingang des Verstärkers (11) mit der FET-Anordnung (9) verbunden ist und der andere Eingang des Verstärkers (11) mit der Kathode (19) verbunden ist.



10. Anordnung nach Anspruch 9, dadurch gekennzeichnet, daß eine Spannungsquelle (12) zwischen den Verstärker (11) und die Kathode (19) geschaltet ist.
11. Anordnung nach Anspruch 10, dadurch gekennzeichnet, daß die Spannungsquelle (12) als Teil einer Spannungsteilerschaltung aus einem Widerstandselement (20) und einer Stromquelle (21) ausgebildet ist. 5
12. Anordnung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß der Ausgang des Verstärkers (11) mit der Steuerelektrode eines FET (16) verbunden ist und dessen Source-Drain-Strecke mit dem Regelungsmittel (8) verbunden ist. 10
13. Anordnung nach einem der Ansprüche 6 bis 12, dadurch gekennzeichnet, daß im Regelungsmittel (8) als Schalter (15) ein FET, insbesondere ein Depletion-MOSFET, vorgesehen ist. 15
14. Anordnung nach einem der Ansprüche 1 bis 13 dadurch gekennzeichnet, daß als Widerstandselement im Regelungsmittel (8) ein FET (13) vorgesehen ist, dessen Source-Drain-Strecke in die leitende Zuführung (5) geschaltet ist und dessen Steuerelektrode mit dem Vergleichsmittel (7) verbunden ist. 20
15. Anordnung nach Anspruch 14, dadurch gekennzeichnet, daß die Steuerelektrode des FET (13) zusätzlich über eine Diode (17) in Sperrichtung mit der Steuerelektrode (4) der FET-Anordnung (2) verbunden ist. 25
16. Anordnung nach einem der Ansprüche 14 bis 15, dadurch gekennzeichnet, daß der FET (13) als Enhancement-MOSFET ausgebildet ist, dem ein Widerstand (14) parallel geschaltet ist. 30
17. Anordnung nach Anspruch 16, dadurch gekennzeichnet, daß der Widerstand (14) als Stromquelle ausgebildet ist.
18. Anordnung nach Anspruch 14 oder 15, dadurch gekennzeichnet, daß der FET (13) als Depletion-MOS-FET ausgebildet ist. 35

Hierzu 6 Seite(n) Zeichnungen

40

45

50

55

60

65



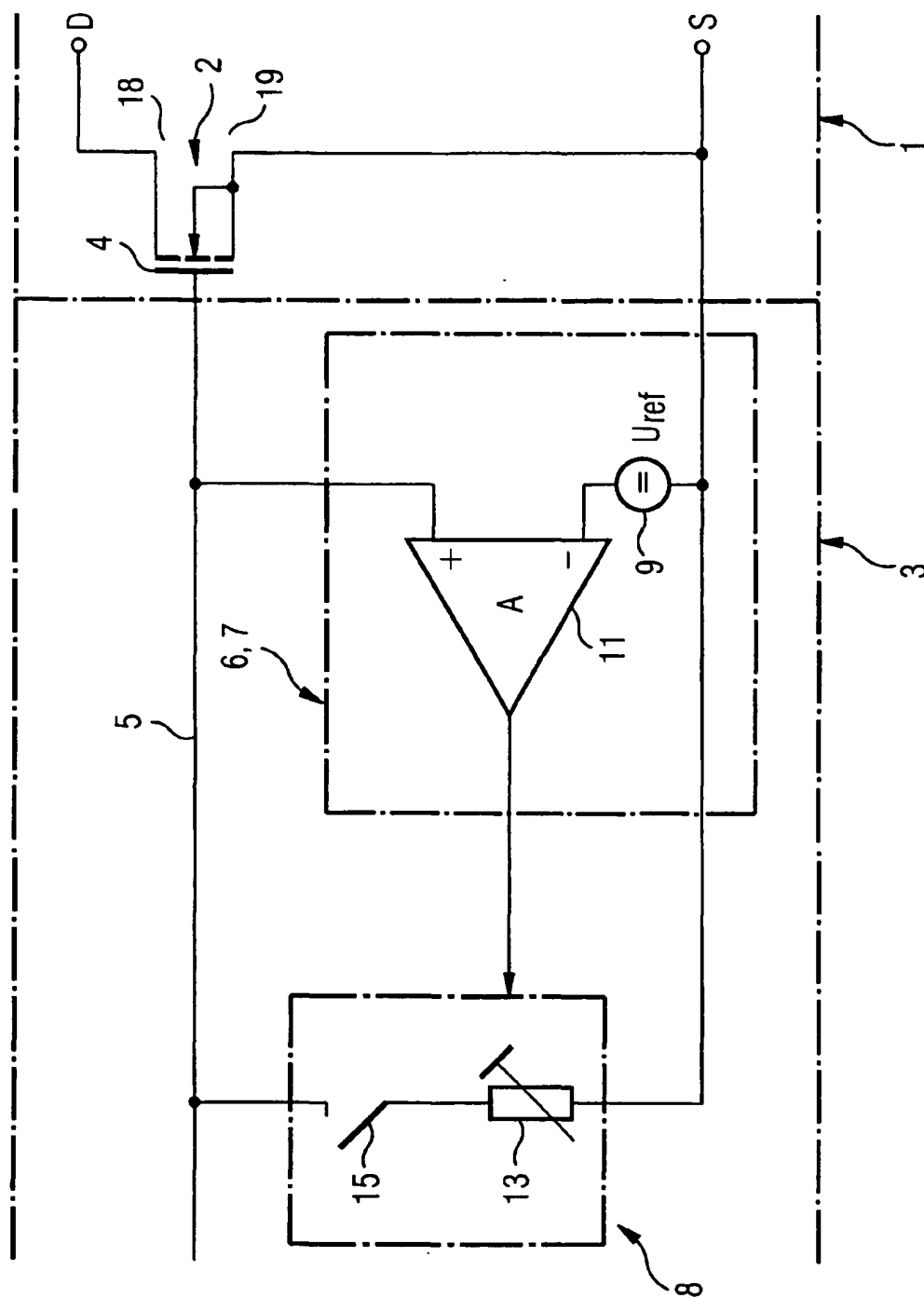
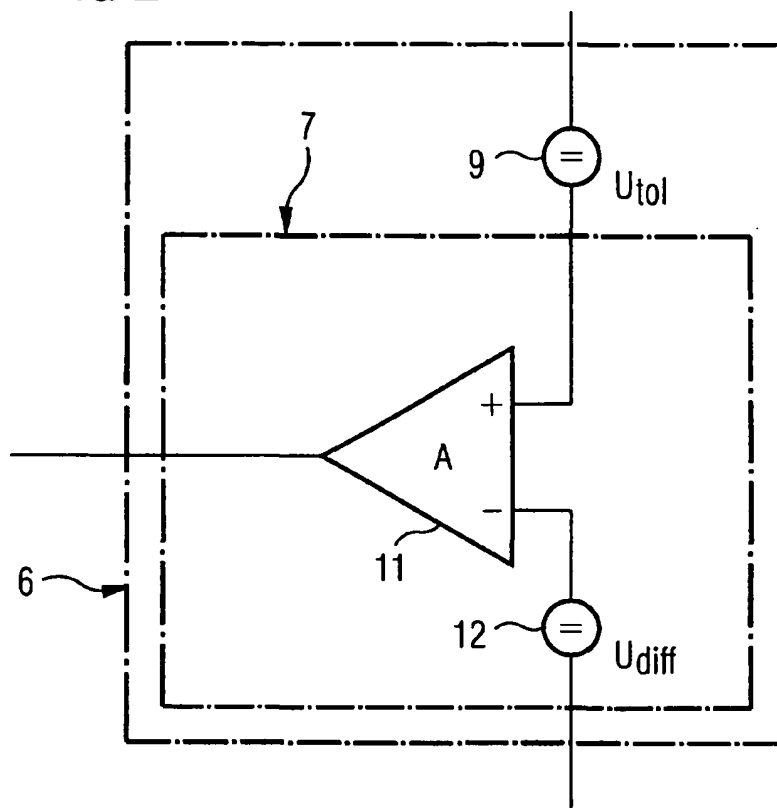
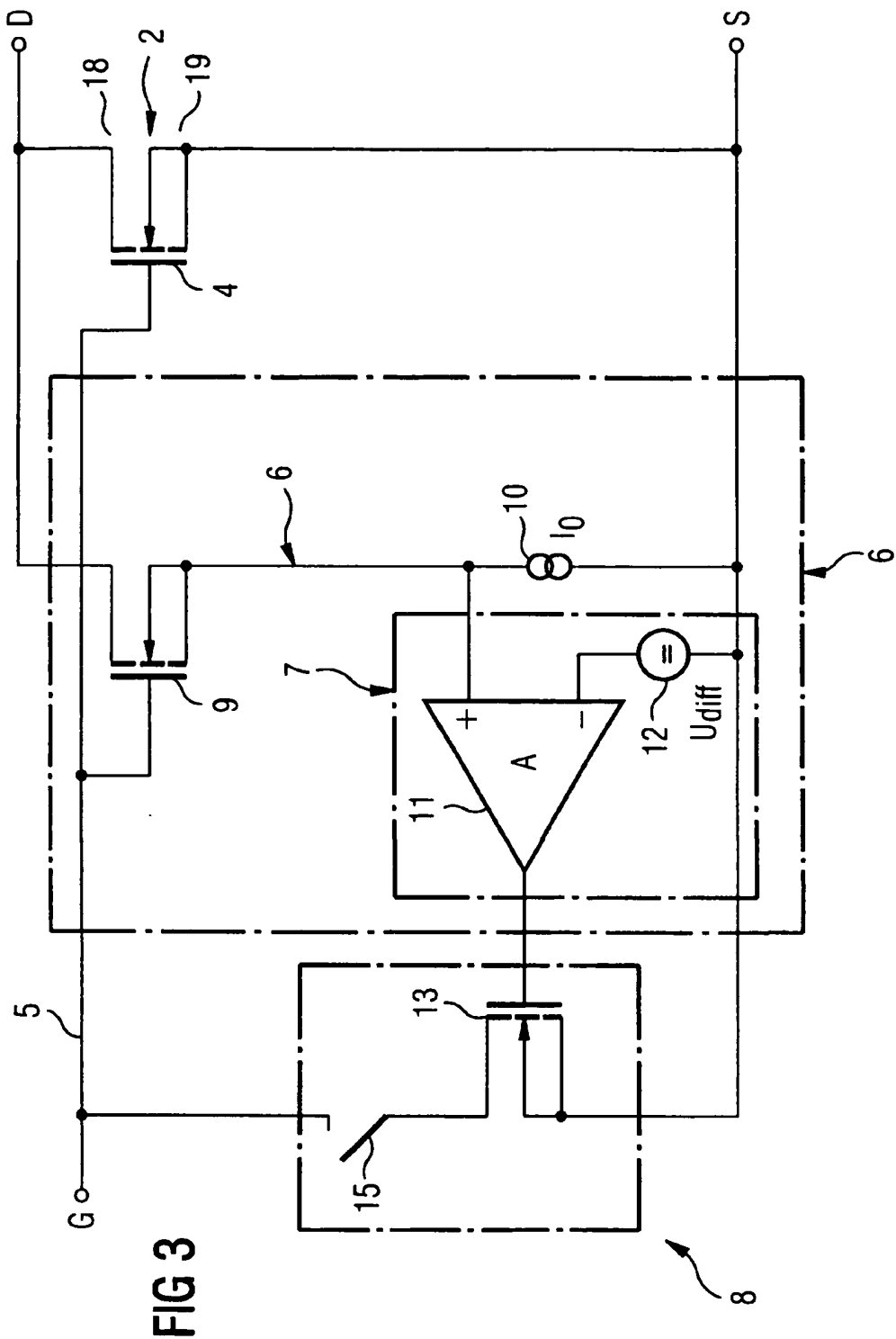


FIG 1

FIG 2





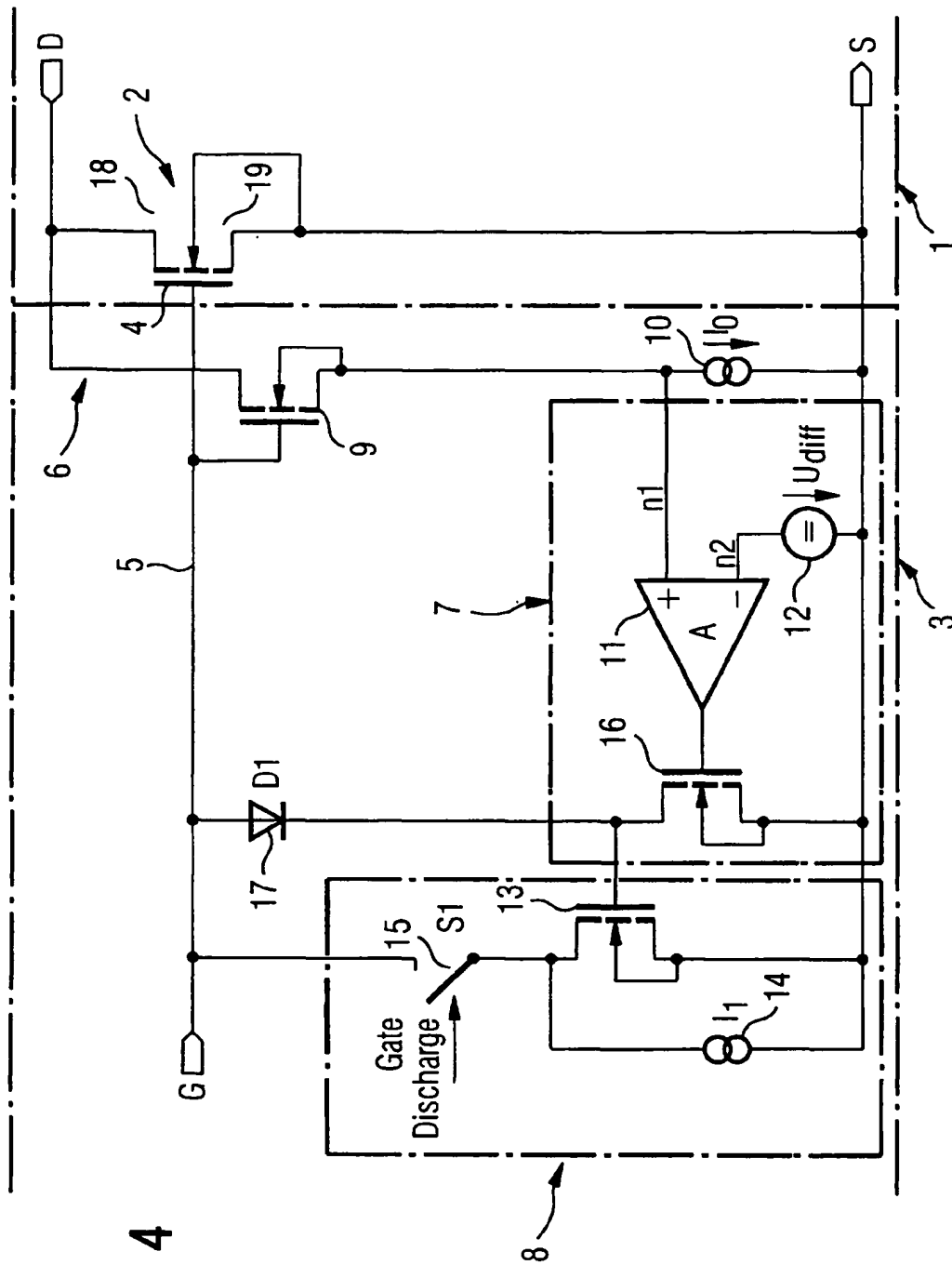


FIG 4

FIG 5

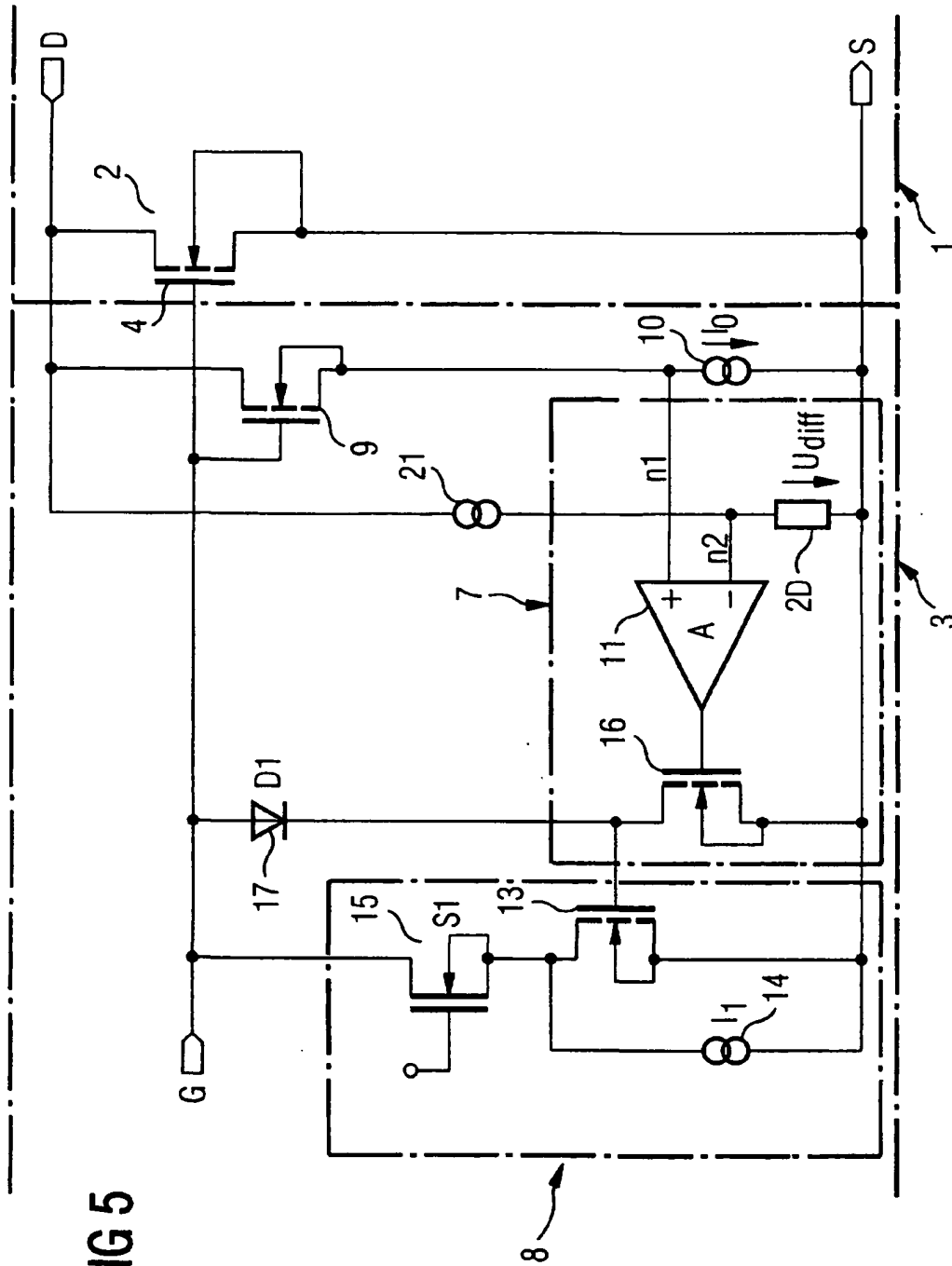


FIG 6

